DOI:10. 19431/j. cnki. 1673-0062. 2021. 02. 006

# 高效无源三次倍频器研究与设计

## 孙毅,王彦\*

(南华大学 电气工程学院,湖南 衡阳 421001)

摘 要:为解决目前市面上毫米波倍频器制作工艺与体积之间的矛盾,设计了一款工 艺简单、体积小、效率高、成本低的毫米波无源三倍频器。该倍频器在印制电路板上 采用砷化镓变容二极管的反向并联电路结构,能有效抑制偶次谐波,改善输入阻抗特 性;并在电路中增加空闲电路,大大提高了倍频信号的输出功率;最后通过仿真软件 对倍频器进行优化和仿真,结果表明该倍频器效率高达55.78%、基波抑制大于 50 dBc。 关键词:倍频器;毫米波;变容二极管;反向并联结构;空闲电路 中图分类号:TN771 文献标志码:A 文章编号:1673-0062(2021)02-0040-07

### **Research and Design of Efficient Passive Frequency Tripler**

### SUN Yi, WANG Yan\*

(School of Electrical Engineering, University of South China, Hengyang, Hunan 421001, China)

**Abstract**: In order to solve the contradiction between the manufacturing process and the volume of the millimeter wave frequency doubler on the market, a millimeter wave passive tripler was designed, which is small, with low price, high efficiency and simple craft. The frequency multiplier adopts the anti-parallel circuit structure of GaAs varactor diodes on the printed circuit board, which can effectively suppress even harmonics and improve the input impedance characteristics; Then the idle circuit is increased in the circuit, which greatly improves the power of the output signal; Finally, the frequency tripler is optimized and simulated by the simulation software. The results show that the frequency tripler has an efficiency of 55. 78%, and the fundamental suppression is greater than 50 dBc.

**key words**: frequency multiplier; millimeter wave; varactor diode; the anti-parallel circuit structure; idle circuit

收稿日期:2020-09-20

基金项目:深圳市横向课题项目(HX-2019-67)

作者简介:孙 毅(1995—),男,硕士研究生,主要从事智能信息处理和微波天线等方面的研究。E-mail:1828840213 @qq.com。\*通信作者:王 彦(1971—),男,教授,博士,主要从事智能信息处理和智能控制等方面的研 究。E-mail:wangyan5406@163.com

# 0 引 言

随着通信技术的发展,所使用的信号频率越 来越高,目前5G已经采用了毫米波<sup>[1]</sup>,因此对于 毫米波甚至是太赫兹频段的研究成为当前的热 点。毫米波频率源由于频率较高,通常采用低频 频率源与倍频器级联的方式制作频率源,因此毫 米波倍频器具有重要的研究意义。中国空间电子 信息技术研究院的研究人员基于肖特基势垒二极 管,通过波导腔体结构进行精细仿真并制作出倍 频效率最高为12%的W波段三倍频器<sup>[2]</sup>。电子 科技大学的研究人员基于国产肖特基二极管,仿 真出倍频效率大于 4%,相对带宽为 27% 的宽带 平衡三倍频器<sup>[3]</sup>。还有学者采用变容二极管,设 计并仿真出输出频率为 140 GHz 的二倍频器<sup>[4]</sup>, 倍频效率为10.8%。上述几篇文献均采用波导 腔体的结构设计,这种结构体积大,不适合体积较 小的商用产品,而是适合于航空航天领域。为了 能够在体积较小的商品中使用,一般都做成芯片 的形式,比如采用(complementary metal oxide semiconductor,CMOS)工艺。美国加利福尼亚大学的 研究人员采用 45 nm CMOS 技术,研制出了一种 输出频率 135 GHz~160 GHz, 倍频效率约为 31.7%的有源二倍倍频器<sup>[5]</sup>。日本东京工业大学 的研究人员采用 65 nm CMOS 技术进行设计并实 现了单个晶体管二倍频倍频器<sup>[6]</sup>,并提出了一种 优化的缓冲方法,抑制基频分量和其他谐波,同时 采用了反馈拓扑结构提高增益。在输入功率为 -8 dBm 时,基频抑制超过 60 dBc,输出频率为 100 GHz~123 GHz, 饱和输出功率高达 5.5 dBm。 瑞典查尔姆斯理工大学的研究人员提出了使用分 布式超导体-绝缘体-超导体(superconductorinsulator-superconductor,SIS) 连接的倍频器<sup>[7]</sup>,导 出了描述分布式 SIS 结作为倍频器特性的解析表 达式,对分布式 SIS 节点的建模表明,采用该方法 可以获得较高的转换效率。也有研究人员采用吉 尔伯特结构,避免了输出直流偏移,可以提供真正 的差分输出信号[8],但是该结构相对复杂,对于 分立电路而言需要较多的晶体管,增加成本。以 上几种方式是通过有源方式设计倍频器,其倍频 效率较高,但是增加了倍频器的复杂性。虽然通 过不同工艺可以将倍频器做成小型化,但是这些 工艺复杂。为了工艺简单并且达到小型化,本文 考虑直接采用制作简单且成本低的印制电路板 (printed circuit board, PCB)进行设计。

# 1 提高倍频器倍频性能的方法

倍频器的原理就是利用非线性器件的非线性 效应产生谐波信号,然后通过滤波网络滤除无用 谐波并保留有用谐波,最终得到所需的倍频信号。 倍频器的系统框图如图1所示,其中低通滤波器 是防止所产生的谐波信号反向注入输入端的频率 源,避免基波信号发生频率偏移。输入阻抗匹配 和输出阻抗匹配是在匹配阻抗,使得所需信号传 输效率达到最大。输出滤波网络的作用主要是抑 制无用谐波,使得所需谐波通过。



### 图 1 倍频器系统框图 Fig. 1 The system block diagram of the frequency multiplier

通过对倍频器的研究发现,在设计倍频器时, 为提高倍频性能要着重考虑以下几点。

1)选择合适的非线性器件。目前常见的非 线性器件有肖特基势垒二极管(schottky barrier diode, SBD)、阶跃恢复二极管(step-recovary diode,SRD)、金属半导体型场效应晶体管(metalsemiconductor field effect transistor, MESFET)、异 质结势垒变容二极管(heterostructure barrier varactor,HBV)、高电子迁移率晶体管(high electron mobility transistor, HEMT)等。倍频时所利用的非 线性特性主要分为变阻特性和变容特性,当倍频 器是利用非线性器件的变阻特性时,倍频带宽较 宽,但是倍频效率较低,而当倍频器是利用非线性 器件的变容特性时,倍频带宽较窄,但是倍频效率 较高。一般变容二极管适合低次倍频(2~4次倍 频),而阶跃恢复二极管适合高次倍频,晶体管虽 然可以获得倍频增益,但是晶体管受到截至频率 的限制,所以其构成的倍频器的使用频段也受到 了限制。因此要根据倍频器的设计指标来选择合 适的非线性器件。

2)选择适合的非线性器件工作状态。以变 容二极管为例,变容二极管倍频器是利用其电容 特性进行倍频,在信号的一个周期内,某段时间偏 压使 PN 结进入正向状态,即从反向状态较小的 结电容转化到正向状态较大的扩散电容时,其电 容变化率很高,从而可以有效体现出其较高的倍 频效率,但是当激励过高时,PN 结的结电阻所产 生的损耗又会降低倍频器的倍频效率。因此对于 不同的输入信号功率,需要选择合适的变容二极 管偏置电压,使其达到最佳的工作状态。

3)采用合适的电路结构。在设计倍频器时, 最常用的电路结构就是平衡结构,即由偶数个二 极管组成二极管对,形成串联或并联结构,二极管 对可以是同向也可以是反向。一般同向结构可以 抑制奇次谐波,反向结构可以抑制偶次谐波,因此 这种结构可以抑制部分谐波,而且这种结构可以 改善输入阻抗特性。同时二极管数量增加,也会 提高倍频信号的输出功率。

4)做好阻抗匹配。在设计高频电路时,阻抗 匹配做的好可以使输出功率最大化,因此阻抗匹 配无疑是最重要的事情,在设计倍频器时亦是如 此。但是有所不同的是,倍频器需要对两个频率 信号进行阻抗匹配,即非线性器件的输入电路与 输入信号频率进行匹配,输出电路与倍频信号进 行匹配。

5)减少不同频率之间的相互干扰。虽然输入信号频率与非线性器件的输出电路阻抗不匹配,但是依然有一定功率的输入信号可以通过,混入输出信号,降低倍频器的性能。倍频信号也是一样,会泄漏到输入端,干扰信号源,从而影响倍频器性能。因此需要在输入电路和输出电路部分增加滤波网络,使得在输入端只有输入信号能够通过,而在输出端,只有所需的倍频信号能够通过。

6)增加空闲电路。一个信号通过非线性器 件之后会产生多个谐波,然而有用的谐波只有一 个,其他谐波都属于空闲谐波。为了提高有用谐 波的效率,就需要这些无用的谐波在电路中没有 功率损耗,此时就需要将这些谐波信号接入纯电 抗负载,使其功率损耗为零,或者将这些信号反馈 回非线性器件,从而再次利用。而构成这些功能 的电路就是空闲电路。大多数情况下,空闲电路 加在输出滤波网络中。

### 2 电路设计与仿真

根据 Manley-Rowe 功率关系<sup>[9]</sup>,变容二极管的倍频效率在理论上可达 100%,且所使用的频

段较高,需要反向恢复时间较短的二极管,因此在 设计无源倍频器时采用 GaAs 变容二极管 MA46H146。在选择基材时,通过权衡价格与损 耗等因素,最终选择了介电常数为2.2 的 RT/ duroid 5880。由于微带线过细的情况下,制造工 艺很难把控,在相同阻抗情况下基片厚度越厚,线 宽越宽,因此选择介质基片厚度为0.508 mm。通 过比较不同倍频电路之后,对于非线性器件部分, 本文采用如图2所示的反向并联电路结构。反向 并联的二极管结构可以抑制偶次谐波,因此可以 大大减小输出滤波网络的复杂程度和尺寸,从而 减少整个倍频器的尺寸。而且该结构中二极管一 端接地,有利于二极管散热,提高倍频器的稳 定性。



图 2 反向并联电路结构 Fig. 2 Reverse parallel circuit structure

当给一个二极管两端加上电压 v<sub>d</sub> 时,流过二 极管中 PN 结的电流可表示为

$$i_{d} = I_{s} (e^{v_{d}/nV_{T}} - 1)$$
(1)

式中: $I_s$ 表示反向饱和电流;n表示发射系数(范 围为1~2,与 PN 结的尺寸、材料和所通过的电流 有关); $V_r$ 表示温度为T时的电压当量。若通过 X1 二极管的电流为

$$i_1 = I_s(e^{v_d/nV_T} - 1)$$
 (2)  
通过 X2 二极管的电流为

$$i_2 = I_s (e^{-v_d/nV_T} - 1)$$
 (3)

则二极管对所产生的总电流为

$$i_{\rm all} = 2I_{\rm s} \sin(v_{\rm d}/nV_T) \tag{4}$$

当输入信号为正弦信号,即 v<sub>d</sub>=Vcos(ωt),带 入上式并进行傅里叶变换后可得

 $i_{\text{all}} = 4I_{\text{s}} [I_1(V/nV_T)\cos(\omega t) +$ 

$$I_3(V/nV_T)\cos(3\omega t) + \cdots]$$
(5)

由式(5)可知,通过该结构,只会得到奇次谐 波,所以该结构通常用于奇次倍频。

方案确定后,利用先进设计系统(advanced

design system, ADS)软件对各部分内容进行仿真 及优化。首先根据变容二极管 MA46H146 的数 据手册中 SPICE 参数可知,该二极管的击穿电压 为 26 V,具有高 Q 值(大于  $1.5 \times 10^4$ ),其中二极 管的欧姆电阻取  $6.5 \Omega$ ,封装电容取 0.03 pF,寄 生电感取 0.04 nH。其仿真模型如图 3 所示。





之后通过高低阻滤波器的设计方法,采用巴特沃斯低通原型滤波器对低通滤波器进行设计, 在 ADS 中对所设计的滤波器进行建模,并对尺寸 进行优化,然后生成低通滤波器版图,得到如图 4 所示性能良好的低通滤波器,尺寸约为 2.5 mm× 2.33 mm。



Fig. 4 The layout of the low pass filter

该低通滤波器的仿真结果如图 5 所示。在通 带(30 GHz 以下)内回波损耗 S11 小于-20 dB,插 入损耗 S21 大于-1.3 dB,阻带(50 GHz~100 GHz)内插入损耗 S21 小于-20 dB。由于在该电 路中,偶次谐波被抑制,高次谐波能量低,因此无 需考虑偶次谐波的信号和高次谐波信号,只需要 考虑基波信号和三次谐波信号,对与基波信号 20.4 GHz来说可以通过,衰减很低,对于三次谐 波信号 61.2 GHz来说无法通过,满足所设计倍频 器的性能要求。



为便于放置二极管,需要添加一个 T 字形微 带线结构,左边接输入,右边接输出,下边接反向 并联的二极管对,二极管对的另一端通过过孔接 地。为了得到最佳的输出功率,需要对该结构前 后进行阻抗匹配,匹配之前通过搭建电路,读出其 基波的输入阻抗为(29.458+j5.98) Ω,同理读出 三次谐波的输出阻抗为(33.534-j29.693) Ω,然 后通过微带理论将输入阻抗、输出阻抗分别和 50 Ω 进行阻抗匹配,得到输入匹配电路和输出匹 配电路。

由于该电路中偶次谐波被天然抑制,且高次 谐波的功率很低,因此只需着重考虑基波抑制。 这里采用如图 6 所示的分支线对其进行抑制,即 采用四分之一波长的分支线将基波信号接入纯电 抗负载,使其功率损耗为零,形成空闲电路。如果 采用带阻滤波器或高通滤波器对基波进行抑制, 则需要对滤波器进行设计,其尺寸可能会小一些, 但是滤波器设计过程复杂,调试起来也不方便,而 且滤波器对有用信号必定是有衰减的。而采用空 闲电路的方式对有用信号衰减很小,且调试方便, 只需要调整分支线的长度即可。

空闲电路的仿真结果如图 7 所示,在空闲电路中,基波信号的回波损耗 S11 为-0.126 dB,而

三次谐波信号的回波损耗 S11 为-28.727 dB,因 此空闲电路可以有效抑制基波信号,而对其他谐 波信号衰减很低,可以等效带组滤波器或是高通 滤波器的效果。该空闲电路是提高基波抑制率的 关键。

最后将所有电路连接起来进行整体优化,其 仿真原理图如图8所示。

















优化后生成版图如图 9,尺寸约为 16.7 mm× 4.6 mm。其中二极管的反向并联结构,一端接在 图示中的端口,另一端通过过孔接地。

3 结果分析

在输入频率为 20.4 GHz, 功率为 20 dBm 时,

谐波平衡仿真结果如图 10 所示。从图中可以看出,由于采用反向并联结构,所产生的偶次谐波信号功率极低,高次谐波(五次谐波)信号功率也很低,三次谐波输出功率为 17.465 dBm,倍频效率为 55.78%。

不同频率下三次谐波输出功率如图 11 所示, 从图中可以看出,当输入频率在 20.34 GHz ~ 20.45 GHz 范围内时,倍频效率大于 1%;在 20.38 GHz~20.41 GHz 范围内时,倍频效率大于 10%;在 20.4 GHz 附近时,倍频效率最高,从图 10 中可看出具体数值。





Fig. 9 Passive triple frequency multiplier layout



图 10 谐波平衡仿真图 Fig. 10 Harmonic balance simulation diagram



图 11 不同频率下的三次谐波输出功率 Fig. 11 Output power of third harmonic at different frequencies

不同频率下各次谐波输出功率如图 12 所示, 基波 抑制大于 50 dBc,五次谐波抑制大于 110 dBc。

从该结果中可以看出,所设计的倍频器倍频 效率较高,无用谐波抑制效果很好,只是倍频带宽 偏窄,这是由于采用变容二极管导致的。由于该 倍频器设计初衷是用于 ISM (industrial scientific medical)频段中的 61 GHz ~ 61.5 GHz 内,因此该 结果满足需求。由于该倍频器频率较高,因此部 分结构的尺寸要求比较严格,通过仿真研究可知, 当尺寸存在微小误差时,倍频带宽变化不大,主要 是倍频频带发生偏移,因此要求误差小于 0.1 mm,否则会导致倍频频段偏离设计频段。



### 4 结 论

通过对毫米波倍频器的研究,本文设计出一种应用于 ISM 频段中中心频率为61.25 GHz 的毫米波倍频器,该倍频器的最高倍频效率大于 50%,但是倍频带宽偏窄,只适用于窄带系统。后续需要对所设计倍频器进行实物制作,进一步进行验证。

#### 参考文献:

[1] 胡国庆. 毫米波 5G 产业界研究现状[C]//AEIC Academic Exchange Information Centre(China). Proceedings of the 2018 3rd International Conference on Advances in Materials, Mechatronics and Civil Engineering: Advances in Engineering Research VOL. 162. AEIC Academic Exchange Information Centre (China): International Conference on Humanities and Social Science Research,2018:4.

- [2] 李正纲,张晓阳,徐辉,等.基于肖特基势全二极管的 高效率 W 波段三倍频器[C]//中国电子学会微波分 会.2018 年全国微波毫米波会议论文集:上册.上海: 电子工业出版社,2018;6.
- [3] 龙明星,张勇. 基于国产肖特基二极管的 110GHz 平 衡三倍频器[C]//中国电子学会微波分会. 2019 年 全国微波毫米波会议论文集:上册.上海:电子工业 出版社,2019:3.
- [4] MIAO L, DENG X J, XIONG X Z, et al. The design and simulation of a 0. 14 THz frequency doubler [C]//2012 International Conference on Microwave and Millimeter Wave Technology (ICMMT). Piscataway, NJ: IEEE, 2012: 1-4.
- [5] LIN H C, REBEIZ G M. A 135-160 GHz balanced frequency doubler in 45 nm CMOS with 3.5 dBm peak power[C]// 2014 IEEE/MTT-S International Microwave Symposium-MTT 2014. Piscataway, NJ:IEEE, 2014:1-4
- [6] ABDO I,TOKGOZ K K,FUJIMURA T,et al. A 100-123GHz CMOS frequency doubler with 5.5 dBm output power and high fundamental rejection [C]//2017 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT). Piscataway,NJ:IEEE,2017:138-140.
- [7] RASHID H, KRAUSE S, MELEDIN D, et al. Frequency multiplier based on distributed superconducting tunnel junctions: Theory, design, and characterization [J]. IEEE transactions on terahertz science & technology, 2016, 6 (5):724-736.
- [8] WAN J Y, CHEN Z M, AN Q, et al. A truly balanced Qband CMOS frequency doubler based on hybrid quadrature coupler[J]. IEEE microwave and wireless components letters, 2017, 27(2):165-167.
- [9] MANLEY J M, ROWE H E. Some general properties of nonlinear elements-Part I. General energy relations [J]. Proceedings of the IRE, 1956, 44(7):904-913.