

DOI:10.19431/j.cnki.1673-0062.20190607.002

一种采样率可调的中频 DQPSK 调制方法设计

蔡 敏,王 彦*,陈 智

(南华大学 电气工程学院,湖南 衡阳 421001)

摘 要:通过对软件无线电技术的研究,提出了一种适合中频传输的改进型全数字四相相对相移键控(differential quadrature reference phase shift keying, DQPSK)调制方案,该方案能够输出采样率可变的调制信号。对 DQPSK 调制的工作过程中变频模块进行了研究,其中插值模块的更改可以实现不同的速率变化。并重点描述了积分梳状滤波器(cascade integrator comb, CIC)及其补偿的办法,能使不同带宽的低速率信号实现上采样到载频输出调制信号,并给出了具体的性能仿真分析。

关键词:中频;四相相对相移键控;上采样;软件无线电

中图分类号:TN91 **文献标志码:**B **文章编号:**1673-0062(2019)04-0049-06

Design of a Medium Frequency DQPSK Modulation Method with Adjustable Sampling Rate

CAI Min, WANG Yan*, CHEN Zhi

(School of Electrical Engineering, University of South China, Hengyang, Hunan 421001, China)

Abstract: Based on the research of software radio technology, an improved all-digital DQPSK modulation scheme is proposed, which is suitable for intermediate frequency transmission. It can output modulated signals with variable sampling rate. The frequency conversion module in the working process of DQPSK modulation is studied, and the change of the interpolation module can realize different rate changes. The CIC filter and its compensation method are described in detail, which enables the low-rate signals of different bandwidths to be up-sampled to the carrier-frequency output modulated signals, and the specific performance simulation analysis is given.

key words: intermediate frequency; differential quadrature reference phase shift keying; up

收稿日期:2019-02-27

基金项目:湖南省教育厅重点项目(16A181);湖南省研究生科研创新项目(CX2016B443);教育部产学研合作协同育人创新创业联合基金项目(201701077014)

作者简介:蔡 敏(1993-),女,硕士研究生,主要从事智能信息处理与通信方面的研究。E-mail:15573867541@163.com。*通信作者:王 彦(1971-),男,教授,博士,主要从事数字系统集成设计、宽带无线移动通信技术方面的研究。E-mail:wangyan5406@163.com

sample; software defined radio

0 引言

软件无线电^[1]是无线通信中使用非常广泛的一种技术,其中心思想是在一个开放的硬件平台上,通过可编程的软件来完成不同的功能,对信号进行基带处理以及数字调制是其中的关键部分。四相相对相移键控(differential quadrature reference phase shift keying, DQPSK)调制是在 QPSK 技术上发展起来的一种调制技术,能解决 QPSK 系统中载波相位模糊的问题^[2],具有调制效率高和频谱利用率高的优点^[3-4],一直被广泛的应用于数字通信中。在实际的软件无线电的结构中^[5],数字模拟转换器(digital to analog converter, DAC)需求的数据速率比较高,而基带信号的采样率通常很低,因此需要将基带信号升采样至较高采样率,一般是利用插值的方法来实现采样率的变化。其

中,级联积分梳状(cascade integrator comb, CIC)^[6]滤波器以及半带滤波器都能实现抽取或插值的过程,完成对采样率的改变。

本文在分析了一般调制方式以及内插方式后,采用 DQPSK 完成整个数字调制过程,通过 CIC 补偿滤波器^[7]以及 CIC 滤波器来提升基带信号的采样率,借助 MATLAB 和 Quartus 工具来实现整个过程,最后验证了其正确性。

1 调制原理

DQPSK 信号的调制原理和 QPSK 相似,是由 QPSK 经过差分编码后的四相调制。信号在 FPGA 中先进行串并转换变为 IQ 两路信号,经过码形变换后送入脉冲成型滤波器滤除码间干扰,再经过 CIC 滤波器组提升信号的采样率,最后经过上变频后输出频率^[8],如图 1 所示。

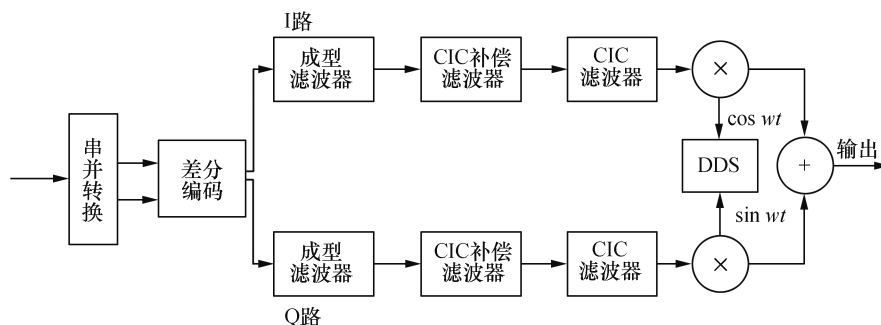


图 1 DQPSK 调制结构

Fig. 1 DQPSK modulation structure

通常基带信号的采样率比较小,经过串并变换分为两路后,每路的速率变为原来的一半,载波工作频率一般较大,必须将基带采样率变为与载波相同才能与之混频。在本文中,CIC 补偿滤波器可以完成两倍插值,CIC 滤波器能进行 2 ~ 32 000 倍插值,当信号采样率变为一致时,与两路载波提供的正交信号相乘混频后,进入加法器相加输出。

2 关键模块研究

2.1 差分编码的实现

差分编码是通过相邻码元之间的载波相位变化来表示数字信息的,是将绝对移相调制变为相对移相调制。差分编码不仅与当前输入码元状态

有关,也与前一码元状态有关,调制信号每路传输 2 个符号,因此有 4 种不同的相位状态,由此可见,差分编码后的码元状态也有 16 种。本文 DQPSK 信号编码采用的是格雷差分编码,需要将双比特绝对码变为双比特相对码,具体编码规则^[9]如下。

若前一码元编码输出满足 $I_{out}^{N-1} \oplus Q_{out}^{N-1} = 0$,则当前码元为:

$$I_{out}^N = I_{in}^N \oplus I_{out}^{N-1} \quad (1)$$

$$Q_{out}^N = Q_{in}^N \oplus Q_{out}^{N-1} \quad (2)$$

若前一码元编码输出满足 $I_{out}^{N-1} \oplus Q_{out}^{N-1} = 1$,则当前码元为:

$$I_{out}^N = Q_{in}^N \oplus I_{out}^{N-1} \quad (3)$$

$$Q_{out}^N = I_{in}^N \oplus Q_{out}^{N-1} \quad (4)$$

其中 $\oplus$ 表示的是异或, I_{out}^N 表示 I 路当前码元, I_{out}^{N-1} 表示前一码元, I_{in}^N 为输入码元,根据以上公式,很容易计算出差分编码模块中前后码元状态以及与载波相位之间的对应关系。具体对应关系见表1。

表1 差分编码中相位对应表

Table 1 Phase correspondence table in differential coding

输入码元	前一码元	当前码元	相位变化
$a_n b_n$	$c_{n-1} d_{n-1}$	$c_n d_n$	$\Delta\phi$
00	00	00	0
	10	10	$\pi/2$
	11	11	π
	01	01	$3\pi/2$
10	00	10	$\pi/2$
	10	11	π
	11	01	$3\pi/2$
	01	00	0
11	00	11	π
	10	01	$3\pi/2$
	11	00	0
	01	10	$\pi/2$
01	00	01	$3\pi/2$
	10	00	0
	11	10	$\pi/2$
	01	11	π

根据这个真值表,可以使用 Verilog 语言编写代码实现该功能,如图2所示。

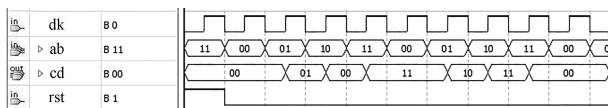


图2 差分编码仿真图

Fig. 2 Differential coding simulation diagram

其中 ab 为输入码元, cd 为当前码元。初始状态开始时,当输入码元为11时,前一码元也为11,根据公式(1)和(2)可以计算出当前码元值为00,查表也可知其值为00,刚好与仿真图相对应;下一时刻,当输入码元变为00时,前一码元仍为00,当前值为00;再下一时刻,输入码元为01,前一码元为00,从公式(3)和(4)得出当前码元值为01,与仿真图相对应,结果证明该设计是正确的。

2.2 插值滤波器的实现

输入信号的采样率远小于载波速率,因此需要将输入信号的速率提升到和载波速率一致,可

以通过插值滤波器来实现。本次设计中采样率的提升是采用CIC滤波器来完成的。该滤波器能实现任意倍数的插值,提高采样频率。CIC滤波器通常应用于实际数字通信中,它结构简单、资源占用少,其结构中只包含寄存器、加法器和积分器,非常适合于在高倍数的抽取和插值环境中。

CIC滤波器分为两个部分:梳状滤波器和积分器,系统函数为 $H(z) = \frac{1-z^{-DM}}{1-z^{-1}}$,其中积分器的系

统函数为 $H(z) = \frac{1}{1-z^{-1}}$,梳状滤波的系统函数为 $H(z) = 1-z^{-DM}$,积分器可以看作一个累加器,梳状器是一个标准对称的有限长脉冲响应滤波器,其结构如图3所示。

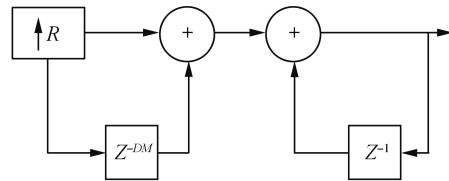


图3 单级CIC插值滤波器

Fig. 3 Single level CIC interpolation filter

CIC的系统函数的幅频响应是:

$$|H(e^{j\omega})| = \left| \frac{\sin(\omega DM/2)}{\sin(\omega/2)} \right| \quad (5)$$

其中 D 是微分延迟, M 为插值倍数,可以是任何正整数, $[0, 2\pi/M]$ 是主瓣,其余区间是旁瓣,旁瓣电平和频率的变化有关,频率越大,其值越小,由公式6可以计算出,在 DM 远大于1时,第一旁瓣和主瓣的差值固定为13.36 dB。

$$\alpha = 20 \lg \frac{DM}{2DM/3\pi} \quad (6)$$

很显然,这么小的阻带衰减并不能满足一般滤波器的要求。因此解决这一问题的方法是对滤波器进行级联,每级联一级滤波器,旁瓣电平便减少一个13.36 dB,能有效改善阻带衰减差的问题。级联滤波器组中,经过Noble^[8]恒等式变换的CIC滤波器,可以通过变换插值器的位置来有效降低滤波器阶数,节省资源,因此,一般实际中使用的是经过Noble恒等式变换的CIC滤波器,称为Hogenauer滤波器,具体结构见图4。

在实际应用的软件无线电结构中,可以根据需要,选择合适的级数和插值倍数。本文采用的是3级滤波器级联,延时因子为1,根据插值滤波

器的结构图,可以使用硬件编程语言编写出对应的代码实现功能。图 5 实现的是 64 倍插值。

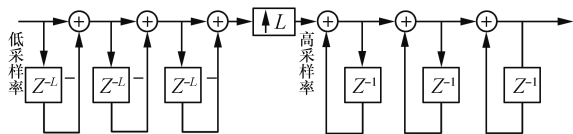


图 4 3 级 CIC 插值滤波器

Fig. 4 3 level CIC interpolation filter

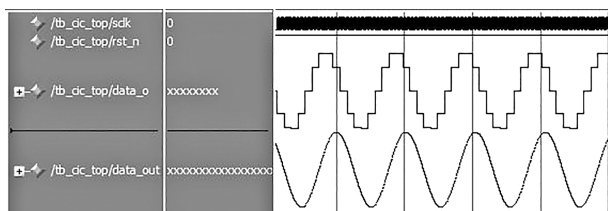


图 5 64 倍插值仿真图

Fig. 5 64 times interpolation simulation diagram

data_o 是插值前信号, data_out 是插值后信号,由图 5 可以看出经过插值的信号,采样率有明显的改变,波形曲线也比没插值前光滑很多,但其周期幅度均没有任何改变。插值后的信号相对于插值前有一定的延时,是由于内部结构寄存器间的延迟导致的。

CIC 滤波器的频率响应接近于辛格函数,级联后的滤波器通带衰减比较大,无法提供平坦的通带过度域,若信号通过可能会产生失真,因此需要加一级 FIR 补偿滤波器,使输出带宽变窄,通带增益变得更加平坦,由图 6 所示。

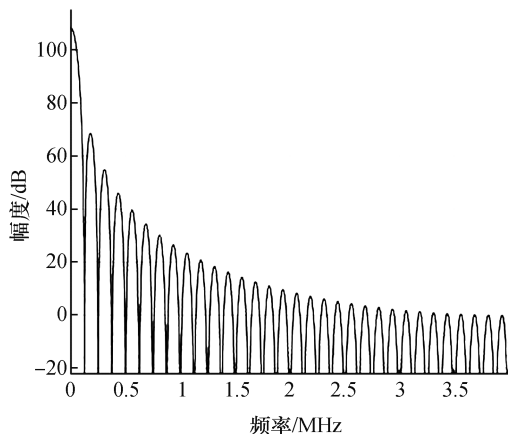


图 6 3 级 64 倍插值频谱图

Fig. 6 3 level 64 times interpolated spectrum

对于抽取系统来说,补偿滤波器是放置在抽取滤波器的后一级,而对于插值结构来说,补偿滤波器是应用在插值滤波器的前一级。也就是说在采样率变换中,补偿滤波器总是工作在低速率的一边,这样能更加节省资源,增加利用率。补偿滤波器的幅度响应函数应该是公式(5)的反函数,如公式(7)所示:

$$H(f) = |\sin c^{-1}(DM)| \quad (7)$$

当插值或抽取倍数比较大时,公式(7)的频谱响应能近似补偿 CIC 滤波器,因此补偿滤波器也被称为反 sinc 滤波器。

图 7 是补偿后的 CIC 滤波器的频谱响应图,从图中能明显的看出,经过补偿后 CIC 滤波器的旁瓣值减小,通带衰减得以改善。为了进一步节省硬件资源,提高利用率,可以先用 FIR 补偿滤波器实现速率 2 倍的插值,再通过 CIC 滤波器进行插值。

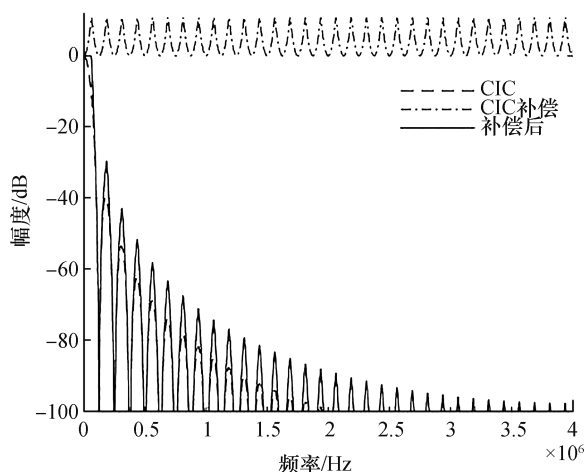


图 7 补偿前后频谱响应图

Fig. 7 Spectrum response chart before and after compensation

2.3 载波模块的实现

本文设计的载波模块是由直接数字式频率合成器(direct digital synthesizer, DDS)产生的,它具有分辨率高,输出频点多,实现简单的优点,能产生任意形状波形,能实现频率、幅度、相位的调制,在现代通信应用中非常的广泛。

DDS 是由加法器、寄存器和正余弦查找表组成,具体结构如图 8 所示。

DDS 的原理是在采样时钟的控制下,每经过一个时钟脉冲,将外部控制字送入加法器和寄存器的相位相加,在时钟的作用下不断累加,再将其

输出作为查找表的地址,根据这个输入的地址可以输出对应的波形。DDS 的输出频率和外部控制字可以具体计算出来,其中关系如公式(8)所示:

$$f_{\text{out}} = \frac{k \cdot f_s}{2} \quad (8)$$

其中, k 是频率控制字, f_{out} 是输出频率, f_s 是采样时钟, N 是相位累加器的位数。

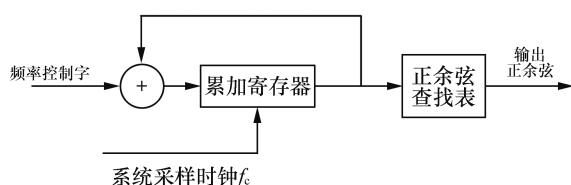


图8 DDS基本结构

Fig.8 DDS basic structure

从公式(8)可以看出,在工作时钟和累加器位数确定的情况下,输出频率仅与频率控制字 k 有关,即当我们确定了频率控制字之后,输出频率也唯一确定了。在设计 DDS 时,正余弦查找表可以通过 Matlab 编程生成指定格式的文件,然后在 Quartus 软件中通过调用 ROM 来使用该文件。用硬件编程语言易于实现上述结构,如图9所示。在上面一路的图形为正弦波,下一路图形为余弦波,刚好相差 90° ,通过在该仿真图上测算周期,也可以计算出输出频率的大小,证明该 DDS 设计符合要求。

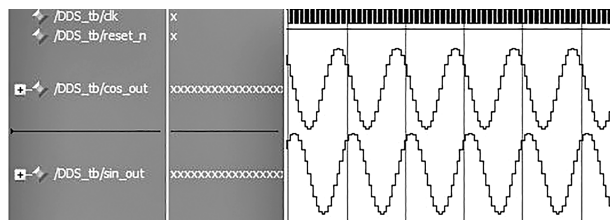


图9 正余弦输出仿真图

Fig.9 Sine and cosine output simulation diagram

3 系统的 FPGA 实现

3.1 插值过程实现

如上所述,整个系统的实现包括对信号进行串并,编码、插值以及混频等。整个过程可以在 FPGA 芯片内数字化完成。同时本系统也可实现对不同范围的带宽信号进行调制,能实现频率不

同的输出信号。表2给出了三种信号带宽下滤波器插值倍数分配以及输出频率情况。

表2 不同带宽下滤波器插值倍数

Table 2 Filter interpolation multiplier under different bandwidth

信号带宽	插值倍数	CIC	FIR	输出频率
781.25 kHz	128	128	1	500 kHz
2 MHz	50	25	2	1 MHz
20 MHz	5	5	1	10 MHz

从表2能够看出,当信号的带宽设置为 781.25 kHz 时,插值率为 128,第一部分 CIC 滤波器实现 128 倍插值, FIR 滤波器不插值,可以通过设置 DDS 不同的频率控制字来控制想要输出信号的频率范围,该带宽频率控制字设置为 21 474 836,输出频率为 500 kHz。当信号带宽为 2 MHz 时,插值率为 50,设置第一部分 CIC 滤波器实现 25 倍插值, FIR 滤波器实现 2 倍插值, DDS 的频率控制字为 42 949 673,输出频率为 1 MHz。当信号的带宽是 20 MHz 时,插值率为 5 倍,直接用 CIC 滤波器实现插值, FIR 滤波器不插值, DDS 频率控制字为 429 496 730,输出 10 MHz 的信号频率。此次设计主要对 781.25 kHz 和 2 MHz 带宽的信号进行分析验证。

3.2 实验结果及分析

本系统采用 Altera 公司的 CycloneIV 系列的 EP4CE10F17C8 型号的芯片,输入信号带宽为 781.25 kHz,输出频率为 500 kHz,按表2设置插值率,根据上述的调制原理在 Altera 公司 Quartus 平台上编写顶层、调制以及插值模块,编译后利用 Modelsim 仿真工具进行仿真,再将得到的数据写入 MATLAB 软件中进行快速傅里叶变换以及归一化,得到的波形图以及频谱图如图10所示。

从图10可以看出调制后信号频谱被搬移到了 500 kHz 处,验证了其正确性,同理 2 MHz 带宽仿真波形如图11所示波形。

从图11能看到频谱被正确搬移到 1 MHz 处,与表2所述一致。以上实验可得不同带宽的信号,都可以通过插值的手段改变其采样率,来获取所需要频段的调制信号,该实验能准确完成设计过程。

整个系统所使用的片上资源见表3,从表3可以看出该系统是在尽量节省资源的情况下完成该设计。

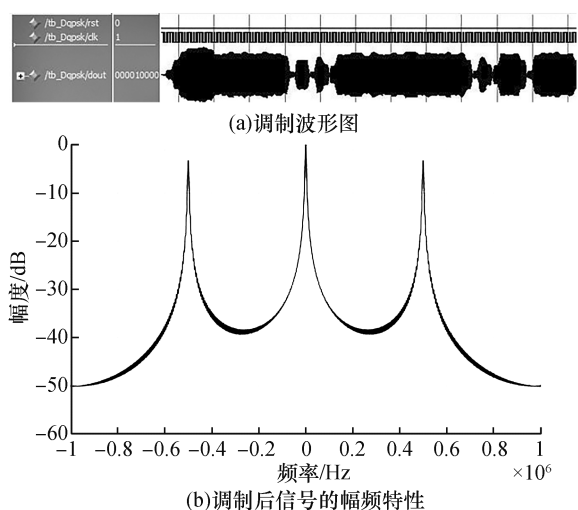


图10 781.25 kHz 带宽信号仿真图

Fig. 10 781.25 kHz bandwidth signal simulation diagram

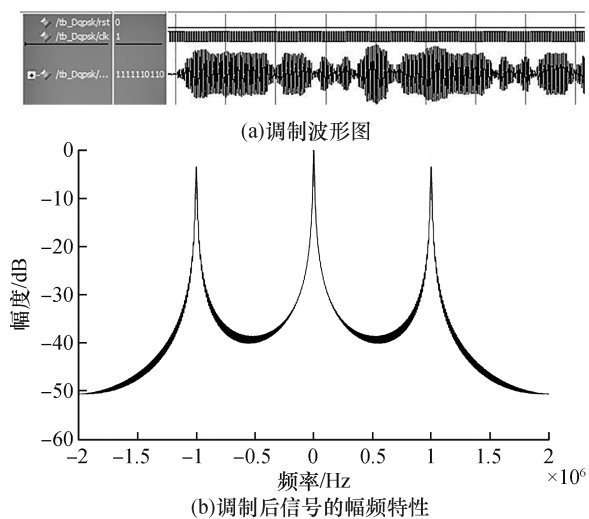


图11 2 MHz 带宽信号仿真图

Fig. 11 2 MHz bandwidth signal simulation diagram

表3 EP4CE15F17C8 芯片资源占用表

Table 3 EP4CE15F17C8 chip resource occupancy table

芯片资源	已用	总数	占比/%
寄存器	2 408	15 408	16
存储器	115 088	516 096	22
逻辑单元	2 626	15 408	17
引脚	36	166	22

4 结 论

本文是利用FPGA在Quartus平台上设计,并结合Matlab和Modelsim软件开发完成。本设计的优点是通过运用软件无线电的技术实现了一种

改进型DQPSK中频调制信号的输出,其中插值模块可以任意改变插值倍数,输出频率也是可控的,能进一步的应用到多模多通道的软件无线电结构中^[10],最后分析了CIC滤波器的结构,加入了补偿滤波器,提高了CIC滤波器的通带平坦度,增加了资源利用率。测试结果表明,该实验能正确实现高插值倍数的不同带宽的DQPSK调制信号的输出,能运用于实际的软件无线电和通信领域中。

参考文献:

- [1] TRIBBLE A C. The software defined radio: fact and fiction [C]// Radio and Wireless Symposium. Orlando: Institute of Electrical and Electronics Engineers, 2008: 5-8.
- [2] 黄葆华, 杨晓静, 吕晶. 通信原理[M]. 2版. 西安: 西安电子科技大学出版社, 2012: 197-199.
- [3] WEN Z, LV D C, YU D. Design and analysis of FPGA-based high speed DQPSK modulation system [C]// Industrial Electronics and Applications. Auckland: Institute of Electrical and Electronics Engineers, 2015: 1641-1644.
- [4] DOLECEK G J, ALFONSO F V. Stepped triangular CIC decimation filter for SDR applications [C]// Circuits and Systems. Foz do Iguaçu: IEEE, 2016: 136-139.
- [5] SINHA D, VERMA A K, KUMAR S. Software defined radio: Operation, challenges and possible solutions [C]// International Conference on Intelligent Systems and Control. Coimbatore: Institute of Electrical and Electronics Engineers, 2016: 1-5.
- [6] HOGENAUER E. An economical class of digital filters for decimation and interpolation [J]. IEEE transactions on acoustics speech & signal processing, 1981, 29(2): 155-162.
- [7] AGARWAL A, BOPANNA L. Low latency area-efficient distributed arithmetic based multi-rate filter architecture for SDR receivers [J]. Journal of circuits systems & computers, 2017, 27(8): 1850133.
- [8] MARUTHI G B, SALEEM M S, KUMAR S P P, et al. Implementation of high performance DUC and DDC for; software defined radio applications [J]. International journal of computer applications, 2015, 110(6): 23-25.
- [9] FRANCESCA G, VALERIA L, PASQUALE P, et al. Neural networks and SDR modulation schemes for wireless mobile nodes: a synergic approach [J]. Ad Hoc networks, 2017, 100(54): 17-29.
- [10] 张景璐, 方毅翔, 张建. 多种模式收发信机的软件无线电设计研究 [J]. 重庆邮电大学学报(自然科学版), 2011, 23(5): 550-554.

(责任编辑:周泉)